BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222633

(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H01L 21/768

H01L 21/318

(21)Application number : 07-053391

(22)Date of filing : 17.02.1995

(71)Applicant : YAMAHA CORP

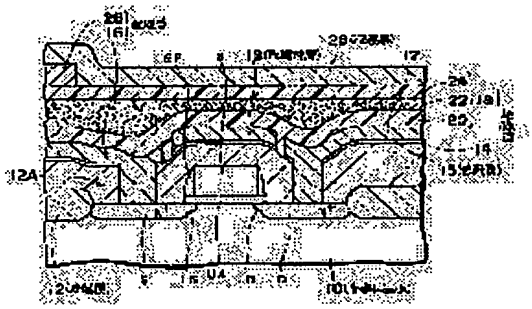
(72)Inventor : YAMAHA TAKAHISA
HIRAIDE SEIJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the hot carrier resistance deterioration due to moisture and to reduce an interface state density in a semiconductor device having a MOS transistor.

CONSTITUTION: After a MOS transistor having a gate electrode layer G on the surface of a semiconductor substrate 10, an interlayer insulating film 14 and a shielding film 15 are sequentially formed thereon. After desired connecting holes are formed on the film 14 and 15, wiring layers 16, 17 and a wiring material layer 19 are formed. The layers 16, 17, 18 are all made of Al alloy layers having a Ti layer as the lowermost layer. After an interlayer insulating film 18 is formed to cover the layers 16, 17, 19, a wiring layer 26 is formed thereon. The film 18 includes a spin-on glass film 22, and contains moisture. The layer 19 prevents the moisture diffusion from the film 18 to the electrode layer G. The layer 15 prevents the occlusion of moisture concerned seed (H_2O, OH^-, H^+) to the Ti layer of the layer 19.



LEGAL STATUS

[Date of request for examination] 15.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2797994

[Date of registration] 03.07.1998

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]
[Claim 1] A substrate, the MOS transistor formed in the front face of this substrate, and the 1st interlayer insulation film which covered this MOS transistor and was formed in the front face of said substrate, What is the wiring material layer for moisture diffusion prevention which covered the gate electrode layer of said MOS transistor, and was formed on this 1st interlayer insulation film, and has a titanium layer as the lowest layer, It is the semiconductor device equipped with the 2nd interlayer insulation film which covers said wiring material layer, is formed on said 1st interlayer insulation film, and contains moisture. The semiconductor device characterized by carrying out mediation arrangement of the moisture related kind screen between said 1st interlayer insulation film and said titanium layers where contact of said 1st and 2nd interlayer insulation films is secured.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Industrial Application] This invention prevents the occlusion of the moisture related kind (H2 O, OH-, and H+) by the titanium layer as the lowest layer of a wiring material layer, and enables reduction of interface state density while it prevents the moisture diffusion to a gate electrode layer from the interlayer insulation film containing especially moisture in a wiring material layer about semiconductor devices, such as LSI which has a MOS transistor, and prevents hot carrier resistance degradation.
[0002]
[Description of the Prior Art] Conventionally, as a flattening technique of the interlayer insulation film in the MOS mold LSI etc., what includes insulator layers, such as spin-on glass (SOG), in an interlayer insulation film is known.
[0003] Drawing 3 shows some MOS molds LSI using this kind of flattening technique. After forming the gate electrode layer G through gate dielectric film OX, the source field LS of the N type of low high impurity concentration and the drain field LD are formed in the front face of the semi-conductor substrate 10 which consists of silicon by ion-implantation processing etc. And it is N+ of high high impurity concentration by the ion-implantation processing after forming the side spacer SP in the both sides of the electrode layer G etc. The source field S of a mold and the drain field D are continued and formed in Fields LS and LD, respectively.
[0004] Next, the MOS transistor formed as mentioned above is covered in a substrate top face, and an insulator layer 14 is formed in it. as an insulator layer 14 -- CVD (chemical vapor deposition) -- the BPSG (boron Lynn silicic-acid glass) film formed by law is used.
[0005] Next, after forming the connection hole corresponding to source contact, drain contact, etc. in an insulator layer 14, the source wiring layer 16 and the drain wiring layer 17 as a wiring layer of the 1st layer are formed by putting and carrying out patterning of the wiring material layer to a substrate top face. What carried out the laminating of Ti layer 16a, TiN layer 16b, aluminum alloy (for example, aluminum-Si-Cu) layer 16c, and the 16d of the TiN layers to order from the bottom as wiring layers 16 and 17 as drawing 5 showed a layer 16, for example is used. The thing and 16d of TiN layers in which a thing for Ti layer 16a to reduce contact resistance and TiN layer 16b have barrier property are for preventing a light reflex at the time of phot lithography processing.
[0006] Next, on an insulator layer 14, wiring layers 16 and 17 are covered and an interlayer insulation film 18 is formed. After forming the silicon oxide film 20, for example by the plasma-CVD method using a tetrapod ethoxy silane (TEOS) as an insulator layer 18, what formed the SOG film 22 in the shape of flatness by the rotation applying method etc. on it, and formed the silicon oxide film 24 by the plasma-CVD method for using TEOS on it further is used.
[0007] Then, the wiring layer 26 of a two-layer eye is formed on an insulator layer 18, a protective coat 28 is formed on it, and annealing is performed at about 400 degrees C in the ambient atmosphere containing hydrogen. As a protective coat 28, the silicon nitride film formed, for example by the plasma-CVD method is used.
[0008]

[Problem(s) to be Solved by the Invention] Since according to the above-mentioned conventional technique an interlayer insulation film 18 is hygroscopic and contains the insulator layer of watery SOG film 22 grade, moisture is spread in the gate electrode layer G from an insulator layer 18, and there is a trouble of degrading the hot carrier resistance of a MOS transistor.

[0009] In order to cope with such a trouble, the first-in-a-roll artificer of this application proposed previously the semiconductor device of a configuration as shown in drawing 4 (refer to Japanese Patent Application No. No. 247154 [six to]). In drawing 4 , the same sign is given to the same part as drawing 3 , and detailed explanation is omitted.

[0010] The equipment of drawing 4 differing from the equipment of drawing 3 is having formed the wiring material layer 19 on the insulator layer 14 so that the formation process of wiring layers 16 and 17 might be diverted and the gate electrode layer's G might be covered. In this case, the wiring material layer 19 has a configuration as shown in drawing 5 , and may be following either of the wiring layers 16 and 17, or may be separated from wiring layers 16 and 17.

[0011] Since the moisture diffusion to the electrode layer G can be prevented from an insulator layer 18 in the wiring material layer 19 according to the configuration of drawing 4 , degradation of hot carrier resistance can be prevented. However, it became clear that there was a trouble that interface state density cannot fully be reduced by the last annealing treatment.

[0012] The next table 1 shows the configuration of an interlayer insulation film 18 to the configuration list of wiring layers 16 and 17 and the wiring material layer 19 about drawing 3 and the samples 1-4 created every transistor of 4.

[0013]

[Table 1]

サンプル		1	2	3	4
図3の16,17又は図4の16,17,19		TiN／Al合金／TiN／Ti			WSi／Al合金／WSi
		Ti＝20nm		Ti＝40nm	
図3又は図4の18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG除去	SOG除去	SOG除去
	20	TEOS	TEOS	TEOS	TEOS

Meaning that a display like [here] P/Q/R about layers 16, 17, and 19 carries out the laminating of R layers, Q layers, and the P layers to order from the bottom, "Ti=" expresses the thickness of Ti layer and "aluminum alloy" expresses an aluminum-Si-Cu alloy, respectively. Moreover, "TEOS" means, respectively having removed the silicon oxide film formed by the plasma-CVD method for using TEOS by etchback processing, after "SOG" formed the SOG film and "SOG removal" formed the SOG film about an insulator layer 18.

[0014] The insulator layer 14 was taken as the BPSG film with a thickness of 750nm. Moreover, each thickness of the silicon oxide film 20 and 24 was set to 500nm, and thickness of the SOG film 22 was set to 500nm. Furthermore, the protective coat 28 was used as the silicon nitride film with a thickness of 1000nm.

[0015] The next table 2 shows the result of having measured the subthreshold level slope every sample of 1-4 which were shown in Table 1, and the unit of the numeric value for every sample is mV/decade.

[0016]

[Table 2]

トランジスタ	サンプル			
	1	2	3	4
図3	85.6	85.9	85.9	85.7
図4	85.7	91.7	95.5	85.6

If variation of a subthreshold level slope is set to deltaS and variation of interface state density is set to deltaDit, deltaS is proportional to deltaDit (delta S**delta Dit). According to Tables 1 and 2, compared with the sample of others [samples / 2 and 3 / which have the configuration of drawing 4], it turns out that reduction of interface state density is not enough. Moreover, 40nm understands that whenever [reduction / of interface state density] is also much more inadequate with the thickened sample 3 from 20nm for Ti layer as the lowest layer of the wiring material layer 19.

[0017] The purpose of this invention is in the semiconductor device which prevented hot carrier resistance degradation by covering a gate electrode layer in a wiring material layer to fully reduce interface state density.

[0018]

[Means for Solving the Problem] The MOS transistor by which the semiconductor device concerning this invention was formed in the front face of a substrate and this substrate, The 1st interlayer insulation film which covered this MOS transistor and was formed in the front face of said substrate, What is the wiring material layer for moisture diffusion prevention which covered the gate electrode layer of said MOS transistor, and was formed on this 1st interlayer insulation film, and has a titanium layer as the lowest layer, It is the semiconductor device equipped with the 2nd interlayer insulation film which covers said wiring material layer, is formed on said 1st interlayer insulation film, and contains moisture. It is characterized by carrying out mediation arrangement of the moisture related kind screen between said 1st interlayer insulation film and said titanium layers, where contact of said 1st and 2nd interlayer insulation films is secured.

[0019]

[Function] According to Tables 1 and 2 shown above, with the sample 4 which adopted a WSi/aluminum alloy / WSi structure, interface state density is reduced by any transistor of drawing 3 or drawing 4 . Moreover, in the sample 1 of structure (non etchback structure of SOG) with much moisture contained in an insulator layer 18, in spite of using Ti layer as the lowest layer of the wiring material layer 19, interface state density is reduced with any transistor of drawing 3 or drawing 4 . That is, in the samples 2 and 3 of structure (etchback structure of SOG) with little moisture contained in an insulator layer 18, when Ti layer is used as the lowest layer of the wiring material layer 19, interface state density is not fully reduced.

[0020] By the way, interface state density is Si/SiO2. It is the trivalence Si of an interface (Si**Si-) and the hydrogen at the time of the last annealing is said to carry out termination of this trivalence Si like (Si**Si-OH), and to reduce interface state density. However, according to the experiment of an artificer, even if it performed the last annealing in nitrogen-gas-atmosphere mind, interface state density was reduced. Then, for an artificer, the moisture related kind in an insulator layer 18 (H2 O, OH-, and H+) is Si/SiO2 in the last annealing. It was spread even in the interface and I think that termination of the trivalence Si is carried out like (Si**Si-H, Si**Si-OH).

[0021] When there is a Ti layer which carries out occlusion of the moisture related kind (H2 O, OH-, and H+) to right above [transistor], the moisture related kind concentration near this transistor falls, and interface state density is not reduced (samples 2 and 3). Moreover, reduction of interface state density is not so enough as there are many amounts of Ti (sample 3). On the other hand, since sufficient moisture related kind concentration will be secured even if occlusion of a part of the moisture is carried out to Ti layer if moisture of enough is in an insulator layer 18, interface state density is reduced (sample 1). Moreover, if the layer which does not carry out occlusion of the moisture related kind is in right above [transistor], since moisture related kind concentration will not fall, interface state density is reduced (sample 4).

[0022] Since according to the configuration of this invention mediation arrangement of the moisture related kind screen was carried out between the 1st interlayer insulation film and Ti layer where contact of the 1st and 2nd interlayer insulation films is secured, while diffusion of a moisture related kind is permitted from the 2nd interlayer insulation film to the 1st interlayer insulation film, a screen prevents

the occlusion of the moisture related kind by Ti layer. Therefore, near the gate electrode layer, the concentration of a moisture related kind cannot fall but interface state density can fully be reduced by the last annealing.

[0023]

[Example] Drawing 1 and 2 show some MOS molds LSI concerning one example of this invention, and drawing 1 is equivalent to the cross section which meets the X-X' line of drawing 2 .

[0024] For example, the field insulator layer 12 which has active field arrangement hole 12A by well-known selective oxidation processing is formed in the front face of the semi-conductor substrate 10 which consists of silicon. and — having mentioned above into the semi-conductor surface part in arrangement hole 12A — the same — the source field LS of gate dielectric film OX and the N type of low high impurity concentration and the drain field LD, the gate electrode layer G, the side spacer SP, and N+ of high high impurity concentration The source field S of a mold, the drain field D, etc. are formed. As an example, gate length could be 0.5 micrometers.

[0025] Next, the MOS transistor formed as mentioned above is covered in a substrate top face, and the 1st interlayer insulation film 14 is formed in it. As an insulator layer 14, the BPSG film with a thickness of 750nm was formed with the CVD method. Then, in order to carry out eburnation of the BPSG film, it heat-treated at 850 degrees C.

[0026] Next, the silicon nitride film with a thickness of 10nm was formed by the plasma-CVD method as a moisture related kind screen 15. In this case, the reactant spatter of silicon may be used instead of a plasma-CVD method. Moreover, the thickness of the silicon nitride film has desirable 50nm or less, when it takes into consideration removing alternatively at the below-mentioned dry etching process.

[0027] Next, after forming the connection hole corresponding to the source field S and the drain field D in the laminating of an insulator layer 14 and a screen 15, respectively, wiring material is put on a substrate top face, and the source wiring layer 16, the drain wiring layer 17, and the wiring material layer 19 are formed by carrying out patterning of the covering layer by phot lithography and dry etching processing. The wiring material layer 19 is formed by pattern which covers the gate electrode layer G as shown in drawing 2 . Although it dissociated from wiring layers 16 and 17 and the wiring material layer 19 was formed in the example of drawing 2 , by request, a wiring layer 16 or either of 17 may be followed, and the wiring material layer 19 may be formed. Wiring layers 16 and 17 are connected to the source field S and the drain field D in the source contact section SC and the drain contact section DC, respectively. The gate wiring layer which is not illustrated is connected with the gate electrode layer G in the gate contact section GC.

[0028] Layers 16, 17, and 19 set thickness to TiN/aluminum-Si-Cu/TiON/Ti=40/400/100/20nm using what permuted TiN layer 16b by the TiON layer in the configuration of drawing 5 as an example. A TiN layer may be used instead of a TiON layer. Dry etching was performed as an example on condition that quantity-of-gas-flow Cl2 / BCl3 =30/30sccm, and pressure 10mTorr. And the over etching following etching of wiring material removed the screen 15 alternatively by the pattern corresponding to layers 16, 17, and 19. This is to enable the 2nd below-mentioned interlayer insulation film 18 to contact an insulator layer 14.

[0029] Next, the 2nd interlayer insulation film 18 is formed in a substrate top face. After forming the silicon oxide film 20 with a thickness of 500nm by the plasma-CVD method by TEOS as an example as an insulator layer 18, the SOG film 22 with a thickness of 500nm was formed by the rotation applying method etc. on it, and the silicon oxide film 24 with a thickness of 500nm was further formed by the plasma-CVD method by TEOS on it. In this case, before formation of the silicon oxide film 24, only the thickness of 500nm may carry out etchback of the SOG film 22, it may be removed from a front face, and the silicon oxide film 24 may be formed on it. Although the insulator layer 18 obtained as a result is little compared with what does not carry out etchback of the SOG film 22, it contains moisture.

[0030] Next, after forming a desired connection hole in an insulator layer 18, the wiring layer 26 of a two-layer eye is formed on an insulator layer 18. And on an insulator layer 18, a wiring layer 26 is covered and a protective coat 28 is formed. As a protective coat 28, the silicon nitride film with a

thickness of 1000nm was formed by the plasma-CVD method as an example.
[0031] Then, the last annealing treatment is performed. This processing is N2 as an example. And H2 It carried out on 400 degrees C and the conditions for 30 minutes in the ambient atmosphere to include. Consequently, in the transistor of drawing 1 , interface state density was fully reduced.
[0032] According to the above-mentioned example, since the moisture diffusion to the gate electrode layer G is prevented from an insulator layer 18 in the wiring material layer 19, hot carrier resistance degradation can be prevented. Moreover, since mediation arrangement of the screen 15 was carried out between Ti layer as the lowest layer of the wiring material layer 19, and the insulator layer 14, it can prevent carrying out occlusion of the moisture related kind to Ti layer, and interface state density can fully be reduced.
[0033] This invention is not limited to the above-mentioned example, and can be carried out with various alteration gestalten. For example, as a screen 15, electric conduction film, such as not only insulator layers, such as silicon nitride, but aluminum, aluminum alloy, a refractory metal (for example, W), or refractory metal silicide (for example, WSi), may be used. Since an insulator layer does not cause the short-circuit between wiring etc. like the electric conduction film even if the etching remainder arises, it has the advantage which is easy to use from the electric conduction film.
[0034]
[Effect of the Invention] As mentioned above, since according to this invention reduction of interface state density was enabled while preventing hot carrier resistance degradation of a MOS transistor, the effectiveness it is realizable [the MOS mold LSI of high reliance] ineffective is acquired.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the substrate sectional view showing the semiconductor device concerning one example of this invention.
[Drawing 2] It is the plan showing the wiring arrangement in the equipment of drawing 1 .
[Drawing 3] It is the substrate sectional view showing an example of the conventional semiconductor device.
[Drawing 4] It is the substrate sectional view showing other examples of the conventional semiconductor device.
[Drawing 5] It is the sectional view showing an example of the conventional wiring layer.
[Description of Notations]
10: A semi-conductor substrate, 12 and 14, 18:insulator layer, 15:moisture related kind screen, 16 and 17, 26:wiring layer, 19:wiring material layer, 28:protective coat, S:source field, D:drain field, G : gate electrode layer.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平8－222633

(43)公開日　平成８年(1996)８月30日

(51)Int.Cl.[6]	識別記号	ＦＩ	
H01L 21/768		H01L 21/90	J
21/318		21/318	C
			B

審査請求　未請求　請求項の数１　ＦＤ　（全６頁）

(21)出願番号　特願平7－53391

(22)出願日　平成７年(1995)２月17日

(71)出願人　000004075
ヤマハ株式会社
静岡県浜松市中沢町10番１号

(72)発明者　山葉　隆久
静岡県浜松市中沢町10番１号ヤマハ株式会社内

(72)発明者　平出　誠治
静岡県浜松市中沢町10番１号ヤマハ株式会社内

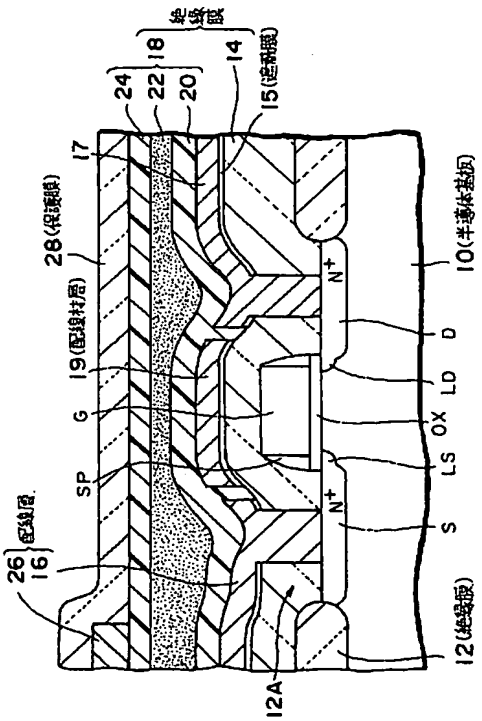
(74)代理人　弁理士　伊沢　敏昭

(54)【発明の名称】半導体装置

(57)【要約】

【目的】　ＭＯＳ型トランジスタを有する半導体装置において、水分によるホットキャリア耐性劣化を防ぎ且つ界面準位の低減を図る。

【構成】　半導体基板１０の表面にゲート電極層Ｇを有するＭＯＳ型トランジスタを形成した後、その上に層間絶縁膜１４及び遮蔽膜１５を順次に形成する。所望の接続孔を膜１４，１５に設けた後、配線層１６，１７及び配線材層１９を形成する。層１６，１７，１９は、いずれも最下層としてＴｉ層を有するＡｌ合金層等から成る。層１６，１７，１９を覆って層間絶縁膜１８を形成した後、その上に配線層２６を形成する。膜１８は、スピン・オン・ガラス膜２２等を含むもので、水分を含有する。層１９は、膜１８から電極層Ｇへの水分拡散を防ぎ、膜１５は、層１９のＴｉ層に水分関連種（H_2O，OH^-，H^+）が吸蔵されるのを防ぐ。



1

【特許請求の範囲】

【請求項１】基板と、

この基板の表面に形成されたＭＯＳ型トランジスタと、

このＭＯＳ型トランジスタを覆って前記基板の表面に形成された第１の層間絶縁膜と、

この第１の層間絶縁膜の上に前記ＭＯＳ型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、

前記第１の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第２の層間絶縁膜とを備えた半導体装置であって、

前記第１及び第２の層間絶縁膜の接触を確保した状態で前記第１の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は、ＭＯＳ型トランジスタを有するＬＳＩ等の半導体装置に関し、特に水分を含有する層間絶縁膜からゲート電極層への水分拡散を配線材層で阻止してホットキャリア耐性劣化を防止すると共に配線材層の最下層としてのチタン層による水分関連種（H_2O、OH^-，H^+）の吸蔵を阻止して界面準位の低減を可能としたものである。

【０００２】

【従来の技術】従来、ＭＯＳ型ＬＳＩ等における層間絶縁膜の平坦化技術としては、スピン・オン・ガラス（ＳＯＧ）等の絶縁膜を層間絶縁膜中に含ませるものが知られている。

【０００３】図３は、この種の平坦化技術を利用したＭＯＳ型ＬＳＩの一部を示すものである。シリコンからなる半導体基板１０の表面には、ゲート絶縁膜ＯＸを介してゲート電極層Ｇを形成した後、イオン注入処理等により低不純物濃度のＮ型のソース領域ＬＳ及びドレイン領域ＬＤを形成する。そして、電極層Ｇの両側にサイドスペーサＳＰを形成した後、イオン注入処理等により高不純物濃度のＮ$^+$型のソース領域Ｓ及びドレイン領域Ｄをそれぞれ領域ＬＳ及びＬＤに連続して形成する。

【０００４】次に、基板上面には、上記のようにして形成されたＭＯＳ型トランジスタを覆って絶縁膜１４を形成する。絶縁膜１４としては、例えばＣＶＤ（ケミカル・ベーパー・デポジション）法により形成したＢＰＳＧ（ボロン・リンケイ酸ガラス）膜が用いられる。

【０００５】次に、ソースコンタクト，ドレインコンタクト等に対応する接続孔を絶縁膜１４に形成した後、基板上面に配線材層を被着してパターニングすることにより１層目の配線層としてのソース配線層１６及びドレイン配線層１７を形成する。配線層１６，１７としては、例えば図５で層１６について示すように下から順にＴｉ

2

層１６ａ、ＴｉＮ層１６ｂ、Ａｌ合金（例えばＡｌ－Ｓｉ－Ｃｕ）層１６ｃ及びＴｉＮ層１６ｄを積層したものが用いられる。Ｔｉ層１６ａは、コンタクト抵抗を低減するためのもの、ＴｉＮ層１６ｂは、バリア性を有するもの、ＴｉＮ層１６ｄは、ホトリソグラフィ処理時に光反射を防止するためのものである。

【０００６】次に、絶縁膜１４の上に配線層１６，１７を覆って層間絶縁膜１８を形成する。絶縁膜１８としては、例えばテトラ・エトキシ・シラン（ＴＥＯＳ）を用いるプラズマＣＶＤ法によりシリコンオキサイド膜２０を形成した後、その上に回転塗布法等によりＳＯＧ膜２２を平坦状に形成し、さらにその上にＴＥＯＳを用いるプラズマＣＶＤ法によりシリコンオキサイド膜２４を形成したものが用いられる。

【０００７】この後、絶縁膜１８の上に２層目の配線層２６を形成し、その上に保護膜２８を形成し、水素を含む雰囲気中で４００℃程度でアニールを行なう。保護膜２８としては、例えばプラズマＣＶＤ法により形成したシリコンナイトライド膜が用いられる。

【０００８】

【発明が解決しようとする課題】上記した従来技術によると、層間絶縁膜１８が、吸湿性があり水分の多いＳＯＧ膜２２等の絶縁膜を含んでいるため、絶縁膜１８からゲート電極層Ｇに水分が拡散し、ＭＯＳ型トランジスタのホットキャリア耐性を劣化させるという問題点がある。

【０００９】このような問題点に対処するため、本願の筆頭発明者は、図４に示すような構成の半導体装置を先に提案した（特願平６－２４７１５４号参照）。図４において、図３と同様の部分には同様の符号を付して詳細な説明を省略する。

【００１０】図４の装置が図３の装置と異なるのは、配線層１６，１７の形成工程を流用してゲート電極層Ｇを覆うように配線材層１９を絶縁膜１４上に形成したことである。この場合、配線材層１９は、例えば図５に示したような構成を有するもので、配線層１６，１７のいずれか一方に連続していてもよく、あるいは配線層１６，１７から分離されていてもよい。

【００１１】図４の構成によると、絶縁膜１８から電極層Ｇへの水分拡散を配線材層１９で阻止することができるので、ホットキャリア耐性の劣化を防止することができる。しかしながら、最終アニール処理で界面準位を十分に低減できないという問題点があることが判明した。

【００１２】次の表１は、図３，４の各トランジスタ毎に作成されたサンプル１～４について配線層１６，１７及び配線材層１９の構成並びに層間絶縁膜１８の構成を示すものである。

【００１３】

【表１】

3　　4

サンプル		1	2	3	4
図３の16,17又は図４の16,17,19		TiN／Al合金／TiN／Ti			WSi／Al合金／WSi
		Ti＝20nm		Ti＝40nm	
図３又は図４の18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG除去	SOG除去	SOG除去
	20	TEOS	TEOS	TEOS	TEOS

ここで、層１６，１７，１９に関するＰ／Ｑ／Ｒのような表示は、下から順にＲ層、Ｑ層、Ｐ層を積層したものであることを表わし、「Ｔｉ＝」は、Ｔｉ層の厚さを、「Ａｌ合金」は、Ａｌ－Ｓｉ－Ｃｕ合金をそれぞれ表わす。また、絶縁膜１８に関し、「ＴＥＯＳ」は、ＴＥＯＳを用いるプラズマＣＶＤ法で形成したシリコンオキサイド膜を、「ＳＯＧ」は、ＳＯＧ膜を、「ＳＯＧ除去」は、ＳＯＧ膜を形成した後エッチバック処理で除去したことをそれぞれ表わす。

【００１４】絶縁膜１４は、厚さ７５０ｎｍのＢＰＳＧ膜とした。また、シリコンオキサイド膜２０，２４の厚さは、いずれも５００ｎｍとし、ＳＯＧ膜２２の厚さは、５００ｎｍとした。さらに、保護膜２８は、厚さ１０００ｎｍのシリコンナイトライド膜とした。

【００１５】次の表２は、表１に示した１～４の各サンプル毎にサブスレッショルドスロープを測定した結果を示すもので、各サンプル毎の数値の単位は、ｍＶ／ｄｅｃａｄｅである。

【００１６】

【表２】

トランジスタ	サンプル			
	1	2	3	4
図３	85.6	85.9	85.9	85.7
図４	85.7	91.7	95.5	85.6

サブスレッショルドスロープの変化量をΔＳとし、界面準位の変化量をΔＤｉｔとすると、ΔＳはΔＤｉｔに比例する（Δ Ｓ∝ΔＤｉｔ）。表１，２によれば、図４の構成を有するサンプル２，３が他のサンプルに比べて界面準位の低減が十分でないことがわかる。また、配線材層１９の最下層としてのＴｉ層を２０ｎｍから４０ｎｍに厚くしたサンプル３では、界面準位の低減度が一層不十分であることもわかる。

【００１７】この発明の目的は、配線材層でゲート電極層を覆うことによりホットキャリア耐性劣化を防止するようにした半導体装置において、界面準位を十分に低減することにある。

【００１８】

【課題を解決するための手段】この発明に係る半導体装置は、基板と、この基板の表面に形成されたＭＯＳ型トランジスタと、このＭＯＳ型トランジスタを覆って前記基板の表面に形成された第１の層間絶縁膜と、この第１の層間絶縁膜の上に前記ＭＯＳ型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、前記第１の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第２の層間絶縁膜とを備えた半導体装置であって、前記第１及び第２の層間絶縁膜の接触を確保した状態で前記第１の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とするものである。

【００１９】

【作用】前掲の表１，２によれば、ＷＳｉ／Ａｌ合金／ＷＳｉ構造を採用したサンプル４では、図３又は図４のいずれのトランジスタでも界面準位が低減されている。また、絶縁膜１８に含まれる水分が多い構造（ＳＯＧのノンエッチバック構造）のサンプル１では、配線材層１９の最下層としてＴｉ層を用いているにもかかわらず、図３又は図４のいずれのトランジスタでも、界面準位が低減されている。つまり、絶縁膜１８に含まれる水分が少ない構造（ＳＯＧのエッチバック構造）のサンプル２，３において、配線材層１９の最下層としてＴｉ層を用いた場合に界面準位が十分に低減されない。

【００２０】ところで、界面準位は、Ｓｉ／SiO_2 界面の三価Ｓｉ（Ｓｉ≡Ｓｉ・）であり、最終アニール時の水素がこの三価Ｓｉを（Ｓｉ≡Ｓｉ－ＯＨ）のように終端して界面準位を低減するといわれている。しかし、発明者の実験によると、最終アニールを窒素雰囲気中で行なっても界面準位が低減された。そこで、発明者は、絶縁膜１８中の水分関連種（H_2，Ｏ，ＯＨ，Ｈ）が最終アニール中にＳｉ／SiO_2 界面にまで拡散し、三価Ｓｉを（Ｓｉ≡Ｓｉ－Ｈ，Ｓｉ≡Ｓｉ－ＯＨ）のように終端するものと考えている。

【００２１】トランジスタ直上に水分関連種（H_2，Ｏ，ＯＨ，Ｈ）を吸蔵してしまうＴｉ層がある場合、こ

のトランジスタの近傍の水分関連種濃度が低下して界面準位が低減されない（サンプル２，３）。また、Ｔｉの量が多いほど界面準位の低減が十分でない（サンプル３）。一方、絶縁膜１８中に水分が十分にあれば、その水分の一部がＴｉ層に吸蔵されても、十分な水分関連種濃度が確保されるので、界面準位が低減される（サンプル１）。また、水分関連種を吸蔵しない層がトランジスタ直上にあれば、水分関連種濃度が低下しないので、界面準位が低減される（サンプル４）。

【００２２】この発明の構成によれば、第１及び第２の層間絶縁膜の接触を確保した状態で第１の層間絶縁膜とＴｉ層との間に水分関連種遮蔽膜を介在配置したので、第２の層間絶縁膜から第１の層間絶縁膜へ水分関連種の拡散が許容されると共に遮蔽膜がＴｉ層による水分関連種の吸蔵を阻止する。従って、ゲート電極層の近傍では、水分関連種の濃度が低下せず、最終アニールでは、十分に界面準位を低減することができる。

【００２３】

【実施例】図１，２は、この発明の一実施例に係るＭＯＳ型ＬＳＩの一部を示すもので、図１は、図２のＸ－Ｘ’線に沿う断面に相当する。

【００２４】例えばシリコンからなる半導体基板１０の表面には、周知の選択酸化処理によりアクティブ領域配置孔１２Ａを有するフィールド絶縁膜１２を形成する。そして、配置孔１２Ａ内の半導体表面部分には、前述したと同様にゲート絶縁膜ＯＸ、低不純物濃度のＮ型のソース領域ＬＳ及びドレイン領域ＬＤ、ゲート電極層Ｇ、サイドスペーサＳＰ、高不純物濃度のＮ’型のソース領域Ｓ及びドレイン領域Ｄ等を形成する。一例として、ゲート長は０．５μｍとした。

【００２５】次に、基板上面には、上記のようにして形成されたＭＯＳ型トランジスタを覆って第１の層間絶縁膜１４を形成する。絶縁膜１４としては、厚さ７５０ｎｍのＢＰＳＧ膜をＣＶＤ法により形成した。この後、ＢＰＳＧ膜を緻密化するために８５０℃で熱処理を行なった。

【００２６】次に、水分関連種遮蔽膜１５として、厚さ１０ｎｍのシリコンナイトライド膜をプラズマＣＶＤ法により形成した。この場合、プラズマＣＶＤ法の代りに、シリコンの反応性スパッタ法を用いてもよい。また、シリコンナイトライド膜の厚さは、後述のドライエッチング工程で選択的に除去することを考慮すると、５０ｎｍ以下が好ましい。

【００２７】次に、ソース領域Ｓ及びドレイン領域Ｄにそれぞれ対応する接続孔を絶縁膜１４及び遮蔽膜１５の積層に形成した後、基板上面に配線材を被着し、その被着層をホトリソグラフィ及びドライエッチング処理によりパターニングすることによりソース配線層１６、ドレイン配線層１７及び配線材層１９を形成する。配線材層１９は、図２に示すようにゲート電極層Ｇを覆うようなパターンで形成する。図２の例では、配線材層１９を配線層１６，１７から分離して形成したが、所望により配線材層１９を配線層１６又は１７のいずれかに連続して形成してもよい。配線層１６，１７は、それぞれソースコンタクト部ＳＣ，ドレインコンタクト部ＤＣにてソース領域Ｓ，ドレイン領域Ｄに接続される。図示しないゲート配線層は、ゲートコンタクト部ＧＣにてゲート電極層Ｇと接続される。

【００２８】層１６，１７，１９は、一例として図５の構成においてＴｉＮ層１６ｂをＴｉＯＮ層に置換したものを用い、厚さは、ＴｉＮ／Ａｌ－Ｓｉ－Ｃｕ／ＴｉＯＮ／Ｔｉ＝４０／４００／１００／２０ｎｍとした。ＴｉＯＮ層の代りにＴｉＮ層を用いてもよい。ドライエッチングは、一例としてガス流量Cl_2／BCl_3＝３０／３０ｓｃｃｍ、圧力１０ｍＴｏｒｒの条件で行なった。そして、配線材のエッチングに続くオーバーエッチングにより遮蔽膜１５を層１６，１７，１９に対応するパターンで選択的に除去した。これは、後述の第２の層間絶縁膜１８が絶縁膜１４に接触するのを可能にするためである。

【００２９】次に、基板上面に第２の層間絶縁膜１８を形成する。絶縁膜１８としては、一例として厚さ５００ｎｍのシリコンオキサイド膜２０をＴＥＯＳによるプラズマＣＶＤ法により形成した後、その上に厚さ５００ｎｍのＳＯＧ膜２２を回転塗布法等により形成し、さらにその上に厚さ５００ｎｍのシリコンオキサイド膜２４をＴＥＯＳによるプラズマＣＶＤ法により形成した。この場合、シリコンオキサイド膜２４の形成前にＳＯＧ膜２２を表面から５００ｎｍの厚さだけエッチバックして除去し、その上にシリコンオキサイド膜２４を形成してもよい。この結果得られる絶縁膜１８は、ＳＯＧ膜２２をエッチバックしないものに比べて少量であるが、水分を含んでいる。

【００３０】次に、絶縁膜１８に所望の接続孔を形成してから絶縁膜１８上に２層目の配線層２６を形成する。そして、絶縁膜１８の上には、配線層２６を覆って保護膜２８を形成する。保護膜２８としては、一例として厚さ１０００ｎｍのシリコンナイトライド膜をプラズマＣＶＤ法により形成した。

【００３１】この後、最終アニール処理を行なう。この処理は、一例としてN_2及びH_2を含む雰囲気中で４００℃，３０分の条件で行なった。この結果、図１のトランジスタにおいて、界面準位が十分に低減された。

【００３２】上記した実施例によれば、絶縁膜１８からゲート電極層Ｇへの水分拡散が配線材層１９で阻止されるため、ホットキャリア耐性劣化を防止することができる。また、配線材層１９の最下層としてのＴｉ層と絶縁膜１４との間に遮蔽膜１５を介在配置したので、Ｔｉ層に水分関連種が吸蔵されるのを防ぐことができ、界面準位を十分に低減することができる。

7

【００３３】この発明は、上記実施例に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、遮蔽膜１５としては、シリコンナイトライド等の絶縁膜に限らず、Ａｌ、Ａｌ合金、高融点金属（例えばW）又は高融点金属シリサイド（例えばＷＳｉ）等の導電膜を用いてもよい。絶縁膜は、エッチング残りが生じても導電膜のように配線間ショート等を招かないので、導電膜より使いやすい利点がある。

【００３４】

【発明の効果】以上のように、この発明によれば、ＭＯＳ型トランジスタのホットキャリア耐性劣化を防止すると共に界面準位の低減を可能としたので、高信頼のＭＯＳ型ＬＳＩを実現可能となる効果が得られるものである。

【図面の簡単な説明】

8

【図１】　この発明の一実施例に係る半導体装置を示す基板断面図である。

【図２】　図１の装置における配線配置を示す上面図である。

【図３】　従来の半導体装置の一例を示す基板断面図である。

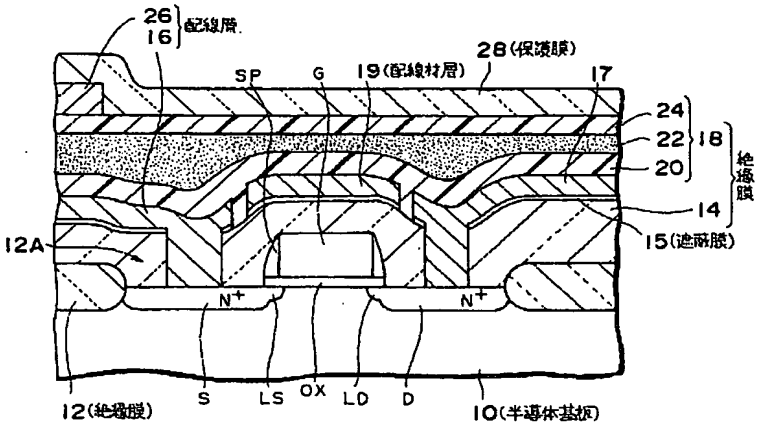
【図４】　従来の半導体装置の他の例を示す基板断面図である。

【図５】　従来の配線層の一例を示す断面図である。

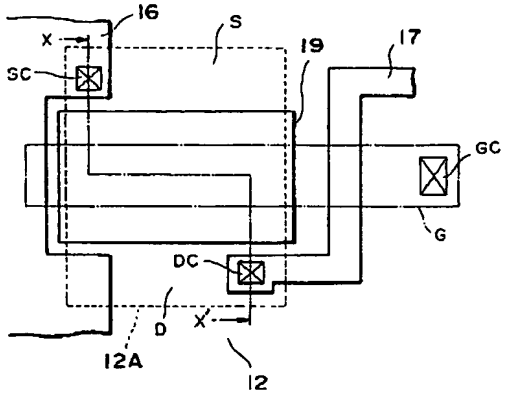
【符号の説明】

１０：半導体基板、１２，１４，１８：絶縁膜、１５：水分関連種遮蔽膜、１６，１７，２６：配線層、１９：配線材層、２８：保護膜、Ｓ：ソース領域、Ｄ：ドレイン領域、Ｇ：ゲート電極層。

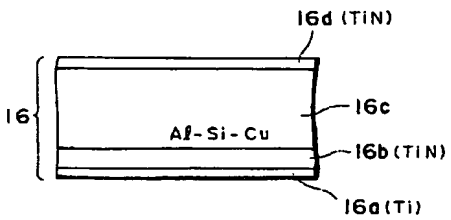
【図１】



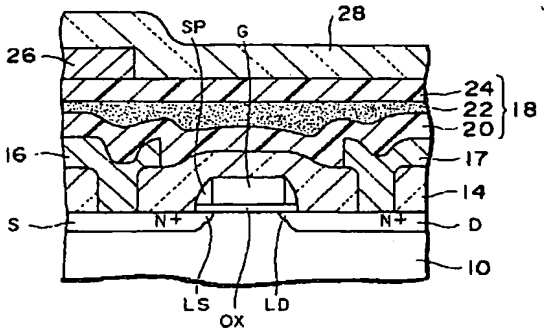
【図２】



【図５】



【図３】



【図4】